

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-072583**  
 (43)Date of publication of application : **06.03.1992**

(51)Int.CI. **G01R 31/28**  
**G06F 11/22**

(21)Application number : **02-234956** (71)Applicant : **RICOH CO LTD**  
 (22)Date of filing : **04.09.1990** (72)Inventor : **KADOWAKI YUKIO**

(30)Priority  
 Priority number : **02124658** Priority date : **15.05.1990** Priority country : **JP**

## **(54) TEST SCAN CIRCUIT DEVICE**

### **(57)Abstract:**

PURPOSE: To ensure latching by transferring data held by a master side latch to a slave side latch by means of raising of a data transfer clock at the time when there is no effect of clock skew.

CONSTITUTION: One scan register comprises the respective clocks of normal scan and data transfer and a plurality of circuits each of which outputs scan data and the like in response to a scan disabling signal or a clock selecting signal. Plural stages of scan registers comprise a scan data output terminal 32 connected to the scan data input terminal of the multiplexer of the scan register of the next stage. Data held by a master side latch at time B is transferred to a slave side latch at time C by raising the data transfer clock to 1 at the time C when there is no effect of clock skew. A master side gate 5 is turned off at the time B and scan data transferred by the multiplexer 4 is made to flow to the slave side, preventing destruction of test vector. Generation of shift fault due to clock skew can thus be avoided irrespective of how the circuit of the scan register is arranged.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**BEST AVAILABLE COPY**

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平4-72583

⑫ Int. Cl. 5  
 G 01 R 31/28  
 G 06 F 11/22 360 P 9072-5B  
 6912-2G G 01 R 31/28 G  
 審査請求 未請求 総請求項の数 3 (全14頁)

⑬ 発明の名称 テスト用スキャン回路装置  
 ⑭ 特願 平2-234956  
 ⑮ 出願 平2(1990)9月4日  
 ⑯ 優先権主張 ⑰ 平2(1990)5月15日 ⑱ 日本(JP) ⑲ 特願 平2-124658  
 ⑳ 発明者 門脇 卓男 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ㉑ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号  
 ㉒ 代理人 弁理士 青山 蔡 外1名

## 明細書

## 1. 発明の名称

テスト用スキャン回路装置

## 2. 特許請求の範囲

(1) 通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段の出力信号が供給されるマスタ側のラッチ回路と、

ノーマルロックとスキャンロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラッチ回路へ送出する第2の選択手段と、

上記第2の選択手段が選択する第1のクロック信号と標準用クロック信号との論理積にて第2のクロック信号を発生する第2クロック信号発生部と、

マスタ側ラッチ回路の出力信号が供給され、上記第2のクロック信号にて動作するスレーブ側ラッチ回路と、を構えたことを特徴とするテスト用スキャン回路装置。

(2) 上記マスタ側ラッチ回路は、上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定され、上記スレーブ側ラッチ回路はテスト制御信号によって非同期セット又はリセットの有効、無効が決定される、請求項1記載のテスト用スキャン回路装置。

(3) 選択データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定されるマスタ側ラッチ回路と、

ノーマルロックとスキャンロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラッチ回路へ送出する第2の選択手段と、

Dラッチ回路にて構成され標準用クロックにて動作するスレーブ側ラッチ回路と、を備えたことを特徴とするテスト用スキャン回路装置。

## 3. 発明の詳細な説明

## 特開平4-72583 (2)

## 【発明の利用分野】

本発明は、大規模集積回路(LSI)のテストを行うスキャン回路装置に関する。

## 【発明の技術】

LSIのプロセス上の欠陥を発見しLSIの良否を判断するために、LSI内に構成されている内部レジスタにテスト用のスキャンデータを供給可能なとしたテスト用スキャン回路装置は、従来第13図に示すように、フリップフロップ回路におけるデータ入力部分とクロック信号入力部分とにマルチブレクサを設け、通常動作時は通常時のクロック信号と通常時の入力データを選択し、スキャン時にはスキャンクロック信号とスキャンデータとを選択する。これらの選択はテストコントロール信号にて行なわれる。又、フリップフロップ回路に非同期のセット又はリセット又はその両方が設けられている場合には、セット又はリセット信号入力端子の前段にゲートを設け、テストコントロール信号によって通常状態ではセットやリセット信号が有効になり、スキャン時やテスト時にはセッ

トやリセット信号が無効になるようしている。

又、ラッチセルに関しては、通常動作時使用するラッチをマスター側として、スキャン用にスレーブラッチを追加したものを使用し、一つのフリップフロップ回路のスキャンデータ出力Soutが他のスキャン回路のスキャンデータ入力Siniに接続され、テスト時には一つのシフトレジスタとして動作させていた。

さらに第9図を参照し詳細に説明する。マルチブレクサ400には、通常動作時におけるクロック信号であるノーマルクロック信号と、テスト時におけるスキャンクロック信号とが供給され、通常動作時とテスト時とを切り替えるテスト制御信号が供給されることでマルチブレクサ400は上記のいずれかのクロック信号を選択しこれを送出する。

このようなマルチブレクサ400の出力例は、インバータ2に接続され、選択されたクロック信号のレベルが反転した反転クロック信号(図内では $\bar{A}$ にて示す)がインバータ2より送出され、又、

インバータ2の出力側はインバータ3に接続され選択されたクロック信号(図内では $\bar{A}$ にて示す)がインバータ5より送出される。

一方、マルチブレクサ401には、通常動作時における入力データであるノーマルデータと、テスト時における入力データであるスキャンデータとが供給され、通常動作時とテスト時とを切り替えるテスト制御信号が供給されることでマルチブレクサ401は上記のいずれかのデータを選択しこれを送出する。このようなマルチブレクサ401の出力側は、ローアクティブなトランスマッシュゲート5に接続され、トランスマッシュゲート5の出力側はハイアクティブなトランスマッシュゲート6及びインバータ10に接続される。インバータ10の出力側は次段のハイアクティブなトランスマッシュゲート7に接続される。一方、トランスマッシュゲート6の出力側はインバータ11、インバータ10を介してトランスマッシュゲート6の入力側に接続される。尚、上記のトランスマッシュゲート5, 6, インバータ10,

11にてラッチ回路を構成しており、トランスマッシュゲート5のディスエイブル端子及びトランスマッシュゲート6のイネイブル端子には、上述した選択されたクロック信号が供給され、トランスマッシュゲート5のイネイブル端子及びトランスマッシュゲート6のディスエイブル端子には、上述した選択されたクロック信号が反転された反転クロック信号が供給される。よって、上記クロック信号が0のときにはトランスマッシュゲート5がオン状態、トランスマッシュゲート6がオフ状態となりマルチブレクサ401が選出するデータをインバータ10を介してトランスマッシュゲート7に送出する。一方、上記クロック信号が1のときには、トランスマッシュゲート5がオフ状態、トランスマッシュゲート6がオン状態となり、上記クロック信号が1に変化する直前にトランスマッシュゲート5より送出されていたデータがトランスマッシュゲート6、インバータ10, 11にて構成される回路部分にて保持される。

## 特開平4-72583 (3)

トランスマッシュンゲート7の出力側は、ヨーアクティブなトランスマッシュンゲート9に接続されるとともにインパート18を介して通常動作時において出力データが送出されるデータ出力端子31に接続され、又、インパート13及び15を介して通常動作時において反転された出力データが送出される反転データ出力端子30に接続される。又、インパート13の出力側は、テスト動作時における出力データを送出するテスト時データ出力端子32に接続される。

トランスマッシュンゲート9の出力側はインパート14, 13を介してトランスマッシュンゲート9の入力側に接続される。又、トランスマッシュンゲート7のイネイブル端子及びトランスマッシュンゲート9のディスエイブル端子には上記したノーマルロック信号あるいはスキャンロック信号が供給され、トランスマッシュンゲート7は上記のいずれかのロック信号が1の場合にオン状態、上記信号が0の場合にオフ状態となり、トランスマッシュンゲート9は上記のいずれかのロック

信号が0の場合にオン状態、上記信号が1の場合にオフ状態となる。

よって、マルチプレクサ40より送出されるノーマルデータあるいはスキャンデータは、上記クロック信号が0のとき場合にトランスマッシュンゲート5を通過し、次に上記クロック信号が1の状態に変化したとき保持されているデータがトランスマッシュンゲート7を通過しインパート16を介してデータ出力端子31へ送出され、インパート13を介してテスト時データ出力端子32へ送出され、インパート13, 15を介して反転データ出力端子30へ送出される。そして次に上記クロック信号が0の状態にあるときには各出力端子31ないし32は現データを出力し続ける。

以上説明した回路構成にて一つのスキャンレジスタを構成しており、上述したようにこのようなスキャンレジスタのテスト時データ出力端子32が次段のスキャンレジスタのスキャンデータ入力に接続されることで、複数段のスキャンレジスタが構成され従来のテスト用スキャン回路装置を解

成する。このようなテストスキャン回路装置におけるテスト時の動作を以下に説明する。

テスト動作を行わせるためにテスト制御信号の信号レベルを1にすることによって、マルチプレクサ40はノーマルロック信号の供給を遮断しスキャンロック信号を通過させ、マルチプレクサ40はノーマルデータ入力を遮断しスキャンデータを通過させる。したがってマルチプレクサ40を介して供給されるスキャンデータは、マルチプレクサ40を介して供給されるスキャンロック信号に同期して順次シフトされる。そして第10回図bに示すように、時刻t1におけるスキャンロック信号の立ち上がりにてスキャンデータがすべてのスキャンレジスタにラッチされたとする。この時点よりテスト用スキャン回路装置より送出される信号がスキャンにより外部より与えられたデータとなるのでテストが開始される。このテスト結果をテスト用スキャン回路装置にラッチするために、第10回図bに示すように時刻t2からt3の間、テスト制御信号の信号レベルを0

としノーマルデータがスキャンレジスタに供給されるようにする。そしてテスト結果データがテスト用スキャン回路に入力された後、第10回図bに示すように時刻t3にてテスト制御信号の信号レベルを1にすると同時にスキャンクロック信号を1に立上げこのテスト結果データをラッチする。この後、供給されるスキャンクロック信号に同期してテスト結果データはシフトされ順次外部へ送出される。尚、このとき次の新たなスキャンデータがスキャンクロック信号に同期して外部より供給される。以上の動作を繰り返しテストを進めていく。

## [発明が解決しようとする課題]

上述のように、スキャンデータをスキャンする場合には従来スキャンクロック信号のみにて行う。このようなシフト動作を行う場合には、各テスト用スキャン回路に供給されるスキャンクロック信号においてクロックスクューと呼ばれる位相のずれの時間差を小さくしなければならない。上記時間差が大きい場合には、スキャンデータをスキャ

## 特開平4-72583 (4)

ンさせていくとき、スキャンデータが破壊される可能性があるという問題点がある。例えば、第1図に示すようにスキャンレジスタ200のテストデータ出力端子200aが他のスキャンレジスタ201のスキャンデータ入力に接続されているが、ゲートアレイなどで自動配線配線を行った場合など、距離的に而レジスタ200, 201が大きく離れる場合がある。このような場合に、スキャンレジスタ200, 201の各スキャンクロック信号において第12図に示すA点、B点におけるように位相がずれ、上述したタロックスキーが発生する場合がある。

テスト時にスキャン動作を行うときにスキャンクロック信号の立ち上がりにて前段のスキャンレジスタが送出するスキャンデータをラッテすることによってソフト動作を行うが、上述したようなタロックスキーが発生することにより前段のスキャンレジスタに供給されるスキャンクロック信号の方が後段のスキャンレジスタに供給されるスキャン

クロック信号よりも早く立上ると、前段のスキャンレジスタのスキャンデータをラッテする前に前段のスキャンレジスタが送出するスキャンデータが変化してしまうことになり、正常なシフト動作ができなくなるという問題点が生じる。

又、既存のスキャン回路では、上述したようにセットやリセット端子付きの回路についてはテスト例御信号を使用して通常動作時はセットやリセットを有効にし、スキャン及びテスト時はセット及びリセットを無効にしていた。即ち、スキャン及びテスト時はレジスタに入力されるセット信号やリセット信号はレジスタに入力される前に強制的に遮断されていることになる。そのため、スキャン及びテスト時にはセット信号やリセット信号の故障による誤動作はテストできないという問題点があった。言い換えると、セット信号やリセット信号の初期値は0であった。よってこれらの信号に関するテストは通常状態で行う必要があった。

本発明はこのような問題点を解決するためになされたもので、前段のスキャンレジスタが送出す

るスキャンデータを後段のスキャンレジスタが確実にラッテでき、又、セット又はリセット信号もスキャン方法によりテストすることができるテスト用スキャン回路装置を提供することを目的とする。

## 〔課題を解決するための手段とその作用〕

本発明は、通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段の出力信号が供給されるマスク側のラッテ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスク側ラッテ回路へ送出する第2の選択手段と、

上記第2の選択手段が送出する第1のクロック信号と通常クロック信号との論理積にて第2のクロック信号を発生する第2クロック信号発生部と、

マスク側ラッテ回路の出力信号が供給され、上記第2のクロック信号にて動作するスレーブ側ラッ

テ回路と、を選えたことを特徴とする。

このように構成することで、第2クロック信号発生部は、第1のクロック信号と転送用クロック信号との論理積にて第2のクロック信号を発生するので、タロックスキーが大きくても誤動作しないようにデータの取り込みができるよう作用する。

又、非同期にセット又はリセットが行える上記マスク側ラッテ回路及びスレーブ側ラッテ回路は、スキャン時には両ラッテ回路がセット又はリセットを無効とでき、テスト時にはマスク側がセット又はリセットを有効とできるよう作用する。

さらに本発明は、通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定されるマスク側ラッテ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスク側ラッ

## 特開平4-72583 (5)

チ回路へ送出する第2の選択手段と、

Dラッチ回路にて構成され転送用クロックにて動作するスレーブ側ラッチ回路と、を備えたことを特徴とする。

このように構成することで、スレーブ側ラッチ回路は、ラッチセルに対してもスキャン方法でテストできるように作用する。

## 【実施例】

本発明のテスト用スキャン回路装置の一実施例を示す第1図a, b, cにおいて、第9図に示される構成部分と同じ構成部分については同じ符号を付し、その説明を省略する。

通常動作時におけるクロック信号であるノーマルクロック信号と、テスト時におけるクロック信号であるスキャンクロック信号とが供給され、通常動作時とテスト時とを切り替えるクロック選択信号が供給されることでマルチブレクサ1は、上記のいずれかのクロック信号を選択しこれを送出する。例えばクロック選択信号の信号レベルが0のときマルチブレクサ1はノーマルクロック信号

を選択しこれを送出し、上記信号レベルが1のときマルチブレクサ1はスキャンクロック信号を選択しこれを送出する。

このようなマルチブレクサ1の出力側は、第1図aに示すように、インバータ2を介して反転クロック信号出力に接続され、インバータ2の出力側はインバータ3を介してクロック信号出力に接続される。このようにインバータ2及び3にて内部クロック信号であるクロック信号(国内ではなくて示す)及び反転クロック信号(国内ではなくて示す)を作成している。

通常動作時における入力データであるノーマルデータと、テスト時における入力データであるスキャンデータとが供給され、通常動作時とテスト時とを切り替えるスキャンイネイブル信号が供給されることでマルチブレクサ4は上記のいずれかのデータを選択しこれを送出する。例えば、スキャンイネイブル信号の信号レベルが0のときマルチブレクサ4はノーマルデータを選択しこれを出し、上記信号レベルが1のときマルチブレクサ4

はスキャンデータを選択しこれを送出する。

第1図bに示すマルチブレクサ4の出力側は、第9図に示す従来のテスト用スキャン回路装置と同様にトランスマッショングート5, 6並びにインバータ10, 11にて構成されるマスター側のラッチ回路に接続され、又、インバータ10の出力側はトランスマッショングート7に接続される。

トランスマッショングート7の出力側は、詳細叙述するデータ転送用クロック信号の信号レベルが1のときにオン状態、上記信号レベルが0のときにオフ状態となるハイアクティブなトランスマッショングート8に接続され、トランスマッショングート8の出力側は従来例と同様にインバータ13及び16並びにトランスマッショングート9に接続されるとともに、上記データ転送用クロック信号の信号レベルが0のときにオン状態、上記信号レベルが1のときにオフ状態となるローアクティブなトランスマッショングート12に接続される。

トランスマッショングート9の出力側は、従来例と同様にインバータ14に接続され、又、トラン

スマッショングート12の出力側に接続される。

テスト時にし51の外部に設けられるテスト用のクロック発生装置より送出されるデータ転送用クロック信号が供給されるインバータ17は、第1図cに示すように、データ転送用反転クロック信号出力に接続され、さらにインバータ17の出力側はインバータ18を介してデータ転送用クロック信号出力に接続される。このようなデータ転送用クロック信号(国内ではなくて示す)は、上述したトランスマッショングート8のイネイブル端子及びトランスマッショングート12のディスエイブル端子に供給され、データ転送用反転クロック信号(国内ではなくて示す)は、上述したトランスマッショングート8のディスエイブル端子及びトランスマッショングート12のイネイブル端子に供給される。尚、トランスマッショングート7, 8, 9, 12、及びインバータ13ないし16にてスレーブ側のラッチ回路を構成している。

このような接続にて一つのスキャンレジスタを構成し、スキャンデータ出力端子32が次段のス

## 特開平4-72583 (6)

キャンレジスタのマルチブレクサ1のスキャンデータ入力に接続されることで複数個のスキャンレジスタを構成し、これらにてテスト用スキャン回路装置を形成する。

尚、スレーブ側のラッチ回路がクロックφとεとの論理積で作成されることより、第1図に示す回路は第2図a, bに示す回路と論理的に同じ動作をする。第2図bではトランスマッシュゲート70.71とインバータ72, 73, 74, 75でスレーブ側ラッチが構成されている。尚、第2図a, bにおいて第1図に示す構成部分と同じものについては同じ符号を付している。スレーブ側クロック(B)は、第2図aに示すようにノーマルクロック(CX)とスキャンクロックをマルチブレクスするマルチブレクサ1の出力信号と転送用クロック(TCK)が供給されるNAND回路60の出力信号をインバータ51を通してφを作っている。スレーブ側ラッチの実現方法はこれ以外にも種々考えられるが、これらの構造はすべて同じになる。

このように構成されるテスト用スキャン回路装

置における動作を以下に説明する。

第3図は通常動作時のタイミングチャートである。通常動作時はテストイネーブル(TB)信号とスキャンイネーブル(SE)信号と転送用クロック(TCK)信号がすべて“1”になっている。そのため、ノーマルクロック(CK)がマルチブレクサ1によって選ばれ、内部マスタクロックを作ら。第1図に示す構成を有する実施例では、内部スレイブクロックは“1”に固定されるのでスレーブ側ラッチ回路の動作はφによって支配され、第2図に示す構成の実施例では内部スレイブクロックはφと同じになる。また、通常動作時にはスキャンイネーブル(SE)信号が“1”になるとによってノーマルデータ(D)がマルチブレクサ1によって選ばれマスタ側ラッチに入力される。このようにして通常動作時はノーマルクロック(CK)によってノーマルデータ(D)がラッチされる。

一方、テスト時ににおける動作を行うために、第4図a及びbに示すように時刻Aにおいて信号レベルが0であるクロック選択信号がマルチブレクサ

1に供給され、又、同時にAにおいて信号レベルが0であるスキャンイネーブル信号がマルチブレクサ1に供給される。よってマルチブレクサ1はスキャンクロック信号を選択し、マルチブレクサ1はスキャンデータを選択する。そして選択したスキャンクロック信号及びスキャンデータをともに0にする。この状態ではスキャンクロック信号が0であることよりトランスマッシュゲート5がオフ状態であるので、マルチブレクサ4が送出する0のスキャンデータはトランスマッシュゲート5を介してインバータ10に供給されている。インバータ10は、供給された0のスキャンデータを反転し1のスキャンデータとしこのスキャンデータをトランスマッシュゲート7へ送出する。しかし現時点ではスキャンクロック信号の信号レベルが0であるのでトランスマッシュゲート7はオフ状態となっている。

ここで、第4図cに示すように時刻Bにて、スキャンクロック信号の信号レベルを1に立ち上げる。よってこのときトランスマッシュゲート5

及び9はオフ状態に変化し、トランスマッシュゲート6及び7はオン状態に変化する。しかしトランスマッシュゲート7の出力側に接続されているトランスマッシュゲート8はまだオフ状態であるため、インバータ10とスレーブ側のインバータ13とはまだ遮断されたままである。このように、時刻Bにてマスタ側ラッチ回路にテストデータがホールドされる。

そしてスキャンクロック信号の上述したクロックフェーズを考慮し、十分時間が経過した第4図dに示す時刻Cにて、上述したテスト用のクロック発生装置にてデータ転送用クロック信号の信号レベルを1に立ち上げる。よって時刻Cにてトランスマッシュゲート8がオン状態となり、トランスマッシュゲート12がオフ状態となるので、インバータ10が送出する1のスキャンデータはインバータ13及び16へ供給され、信号レベルが反転されてデータ出力端子31及びスキャンデータ出力端子32より0のスキャンデータが送出される。又、インバータ13の出力信号はインバ

## 特開平4-72583 (7)

ータ15を介することで信号レベルが変化され、スキャンデータが変換データ出力端子30より送出される。このように、時刻Cにてマスター側ラッチ回路のテストデータをスレーブ側ラッチ回路に送出する。尚、上述した時刻Dにてスキャンクロック信号の信号レベルが「1」となることでマスター側のトランジションゲート5はこの時点ではオフ状態となるので、マルチプレクサ4が送出するスキャンデータがスレーブ側に流れ、格納されているスキャンデータであるテストベクトルを破壊するという問題はなくなる。

次に第4図dに示す時刻Dにてデータ転送用クロック信号の信号レベルを「0」に立ち下げ、トランジションゲート8をオフ状態に、トランジションゲート12をオン状態とし、スキャンデータをスレーブ側ラッチ回路にラッピングホールドする。時刻Dの後、第4図eに示すように時刻Eにてスキャンクロック信号の信号レベルを「0」に立ち下げ、トランジションゲート5をオン状態に、トランジションゲート6及び7をオフ状態と

し、次のスキャンデータをマスター側ラッチ回路に供給する。

以上の動作を繰り返しスキャンデータをスキャンさせながらすべてのスキャンレジスタにスキャンデータをセットする。

そして第5図fの時刻Fに示すスレーブ側クロックの立ち上がりにて、すべてのスキャンレジスタのスレーブ側にテストデータが入力されるとする。これによってスレーブ側ラッチ出力からテストされる回路内にテストデータが送出されテストが開始される。テストデータがスレーブ側ラッチに入力された後、スレーブ側クロックの立ち下りでテストデータがラッピングされる。この後、第5図gの時刻Gに示すように、スキャンイネーブル(SE)信号レベルを「1」に立ち上げることによってマルチプレクサ4は、ノーマルデータ(D)を選択してマスター側ラッチに供給する。この時点ではマスター側ラッチのクロックの信号レベルは「1」でホールドされているので、トランジションゲート5がオフ状態であり、ノーマルデータ(D)として供給

される回路のテスト結果はマスター側ラッチには供給されない。ここで、第5図gの時刻Cに示すように、マスター側クロック(φ)の信号レベルを立ち下げることによってノーマルデータ入力からテスト結果がマスター側ラッチに供給される。ここで、第5図gの時刻Dに示すようにテストイネーブル(TE)信号レベルを「1」にする。これによってマルチプレクサ4はノーマルクロック(CK)を選択し、マスター側クロックφはノーマルクロックで作られるようになる。このとき、このスキャンレジスタの通常動作時のクロックが非同期の場合、テスト結果によってノーマルクロック(CK)信号レベルが「1」であったり「0」であったりする。非同期のスキャンレジスタでテスト結果がCK信号レベル=「0」の場合、TE信号レベルが「1」となってもマスター側クロック(φ)信号レベルは「0」のままであり、第5図gの時刻Eに示すようにSCSK信号レベルは「1」となり、第5図gに示すようにTE信号レベルが「0」となると、第5図gの時刻Fに示すようにマスター側クロック(φ)が立ち上り、

ノーマルデータ(D)から入力されているテスト結果がマスター側ラッチにホールドされる。その結果選択クロック(CK)信号レベルを「1」にすることによって第5図gの時刻Hに示すようにスレーブ側クロック(φ又はδ)を立ち上げ、テスト結果をスレーブ側ラッチ回路に供給する。これによって先にスレーブ側に供給されていたテストデータが破壊されてマスター側に供給されるテスト結果が変化するが、マスター側クロック(φ)信号レベルは「1」になっていてホールド状態にあるのでマスター側ラッチ回路にホールドされている先のテスト結果は影響を受けない。

非同期のスキャンレジスタでテスト結果がCK信号レベル=「1」の場合、第6図gの時刻Dに示すようにTE信号レベルが「1」となると、第6図gの時刻Eに示すようにマスター側クロック(φ)は「1」になる。φ信号レベルが「1」になると第6図gに示す時刻FにてSCSK信号レベルが「1」となった際、TE信号レベルが「0」となるが、このときφ信号レベルは第6図gに示すように「

## 特開平4-72583 (8)

!"のままである。つまり非同期のスキャンレジスタへテスト信号をホールドするタイミングは、テスト時の非同期スキャンレジスタのノーマルクロック入力に依存する。つまり、非同期スキャンレジスタにおけるノーマルクロック入力がテスト結果に影響を与えるのでノーマルクロック入力の故障を外部から観察することができ、故障検出率が向上する。尚、第6図に示す時刻Aないし、及び時刻Bは、第5図に示すこれらの時刻と同一である。

次に非同期のセット又はリセットのスキャンレジスタについて説明する。第7図a, b, cにおいて第1図に記載の構成部分と同じ構成部分については同じ符号を付し、その説明を省略する。スキャンイネイブル(SE)信号は、マルチブレクサ4に供給されるとともに、リセット(R)信号が供給されるAND回路20に供給される。AND回路20の出力信号は、インバータ14の出力信号が供給されるNOR回路21に送られ、NOR回路21の出力信号はトランスマッシュンゲ

ート6に送出される。又、上記R信号と、テスト(XT)信号とが供給されるAND回路22の出力信号は、トランスマッシュンゲート8の出力信号が供給されるNOR回路23に送出され、NOR回路23の出力信号はインバータ14及び15に送出される。

このようなスキャンレジスタは、マスク側ラッチとスレーブ側ラッチが両方非同期にリセットでき、マスク側ラッチのリセットはスキャンイネイブル(SE)信号が"1"ならば有効でSE信号が"0"ならばリセットができない、いわゆる無効となるようになっており、スレーブ側ラッチのリセットはテスト端子(XT)が"1"ならば有効でXTが"0"ならば無効になる。

このスキャンレジスタの動作を説明する。第7図a, b, cのスキャンレジスタの動作は、第3図ないし第6図に示すタイミングチャートで説明できる。今回はこのスキャンレジスタが同期式であり、テスト時ノーマルクロック(CK)が"0"に固定されている第5図のタイミングチャートを用

いて動作の説明を行う。

通常動作を行う時は、第3図に示すようにTE信号が"1", SE信号が"1", TCK信号が"1", XT信号が"1"となっていてノーマルクロック(CK)信号、ノーマルデータ(D)信号がマルチブレクサ4でそれぞれ選択されている。またSE信号が"1"なのでマスク側ラッチのリセット信号(R)が有効になり、かつXT信号が"1"なのでスレーブ側ラッチのリセット信号(R)も有効になっている。そのため通常のリセット待レジスタと同じ働きをする。

テストを行う時はXT信号を"0"とする。つまりスレーブ側ラッチのリセット信号(R)は常に無効となる。これはスキャン方式によってテストを行う際、非同期のリセット信号がスキャンレジスタに入力されてもスキャンによって伝播させていたるテストデータが破壊されないようにするためにある。テストデータをスキャンさせて各スキャンレジスクに伝播させる時江第4図に示すようにTE信号を"0", SE信号を"0", XT信号を"

"とする。SE信号が"0"なのでマスク側ラッチのリセット信号(R)は無効となっているのでスキャンを行っている最中にリセット信号が変化することによってマスク側ラッチのテストデータが破壊されることはない。XT信号が"0"なのでスレーブ側ラッチのリセット信号もマスク側と同期無効にされている。このようにしてテストデータをスキャンさせる時は非同期のリセットに無効化に行なうことができる。

すべてのスキャンレジスタにテストデータがラッチされた時の説明を行う。第5図1に示す時刻Sにてテストデータがスレーブ側ラッチに入力される。これによって回路内にテストデータが伝播されテストデータが開始される。第5図1に示す時刻Aでスレーブ側ラッチを閉じてテストデータをホールドした後、SE信号を"1"にする。よってマルチブレクサ4はノーマルデータ(D)を選択してテスト結果をマスク側ラッチに送る。同時に、SE信号が"1"になることによってマスク側ラッチのリセット信号(R)が有効になる。ここでテス

## 特開平4-72583 (9)

ト結果としてリセット(R)信号が“1”ならばマスタ側ラッチの内容はリセットされる。しかしすでにスレーブ側ラッチはホールド状態になっているのでマスタ側ラッチの内容が変化してもスレーブ側ラッチにあるテストデータに影響を与えない。もしテスト結果としてリセット信号が“0”ならば、第5図dに示すように時刻Cにてマスタ側クロックが立ち下がったとき、テスト結果がノーマルデータ入力(D)とマルチブレクサを経てマスタ側ラッチに送出される。以上のように、テスト結果としてリセット信号が“1”ならばマスタ側ラッチは“0”になり、リセット信号が“0”ならばノーマルデータ入力(D)のテスト結果がマスタ側ラッチに送出される。この状態で第5図eに示す時刻Dにてマスタ側クロックを開じてテスト結果をマスタ側ラッチにホールドする。この状態では非同期のリセット(R)信号が有効になっているのでマスタ側クロックを開じた後、第5図fに示す時刻EにてS信号を“0”としてリセット信号を発動にする。この後、第5図gの時刻Hにて

スレーブ側ラッチを開いてマスタ側テスト結果をスレーブ側ラッチに送出する。後は第4図に示すタイミングで各レジスタにラッチされたテスト結果を順次ソフトアウトして期待パターンと比較し、トップの良否判定を行う。同時に次のテストデータをスキャンインさせる。

以上のように、マスタ側ラッチのセットスリセットは、スキャンイネイブルで有効と無効を切り替え、スレーブ側ラッチのセット又はリセットはテストイネイブル信号で有効と無効を切り替え可能とすることで、スキャン時はマスタ側とスレーブ側の両方のセット又はリセットを無効にし、テスト時にのみマスタ側のセット又はリセットを有効にすることによってセット又はリセット信号もスキャン方法によらずテストすることができます。

最後に、ラッテに対するスキャン回路の説明を行う。スキャン法によってテストを行う場合、データマークをシフト動作によって回路内を伝播させなければならないので、内部のラッチをスキャナレジスタにする場合はマスタースレーブ型のフ

リップフロップにする必要がある。従来のスキャン用ラッチ回路は第14図に示す様に通常動作時使用するラッチをマスタ側とするとスキャン用にスレーブ側ラッチを附加した形になっている。この場合、スキャンデータをテスト時にホールドするのはマスタ側ラッチとなる。そのためテスト時は常にテストデータをホールドしておかなければならぬが、テストが終わってテスト結果をスキャンラッチに取り込む際、マスタ側ラッチでは今までテスト用にホールドしていたテストデータが置き換えられ、テスト結果が破壊される。その結果、今までテストデータを送出していたマスタ側ラッチはテスト結果をマスタ側ラッチに供給するとテストデータが変化し、それが回路を伝わってテスト結果を変化させる場合が出てくる。最初にテスト結果をマスタ側ラッチに供給してから、変化したテストデータの影響がテスト結果に現われるまでにマスタ側ラッチのデータをホールドすれば問題ないが、タイミングをどうするかとか、クロックスケュー

の問題があるので都合良くテスト結果をホールドするのは困難である。

本実施例によるスキャン用ラッチを第8図a, b, cに示す。本実施例のラッチ回路は非同期のセットやリセット付のラッチも対応ができる。マスタ側ラッチ回路は、第7図a, b, cのリセット付スキャナレジスタと同じ構成である。つまり、スキャンイネーブル(SE)信号が“0”的ときはマスタ側ラッチのリセット端子(R)は無効になり、SE信号が“1”的ときはリセット(R)信号が“1”になるとマスタ側ラッチは非同期にリセットされ、リセット信号が“0”的時はマスタ側クロックによってノーマルデータ入力(D)を入力したりホールドしたりする。スレーブ側ラッチは単純なDラッチで構成されていて、第8図dに示すように、軽送用クロック(TCK)信号から作られる内部スレーブクロックによって動作する。

このスキャンラッチ回路の動作を説明する。通常動作時はTCK信号が“1”に固定される。そのため、スレーブ側内部クロックは“1”に固

## 特開平4-72583 (10)

定され、スレーブ側ラッチはトランスペアメントモードで固定される。つまり、スレーブ側ラッチはマスク側ラッチのバックファとして働くだけになるので、通常動作時はマスク側ラッチの動作をする。次に、第4図に示すようにテストデータをスキャンさせるとき、最初、スキアンタロック(SCK)信号と転送用クロック(TCK)は、両方共“0”で、スキアンデータ(SIN)がマスク側ラッチに供給されている。この時点で第4図cの時刻BにてSCK信号を“1”に立ち上げ、スキアンデータをマスク側ラッチにホールドさせる。その後、第4図dの時刻CにてTCK信号を“1”に立ち上げ、マスク側にホールドされているスキアンデータをスレーブ側ラッチに入力し、第4図eの時刻DにてTCK信号を“0”に立ち下げてテストデータをスレーブ側ラッチにホールドする。このようにしてから第4図fの時刻Eに示すようにSCK信号を“0”に立ち下げ、次のスキアンデータをマスク側ラッチに入力する。以後この動作を繰り返してすべてのテストデータを各スキヤ

ンレジスタ及びスキアンラッチに入力する。このようにして第5図1の時刻Sにおいて、TCK信号が“1”になったとき、すべてのテストデータが各スキアンのスレーブ側ラッチに入力されたとき、テストが開始される。テストが終了するまでテストデータをホールドするため、第5図1の時刻hに示すようにTCK信号を“0”とする。その後、第5図hの時刻Bに示すようにSE信号を“1”とし、テスト結果をノーマルデータ入力(D)からマスク側ラッチへ入力するか、テスト結果によるセット又はリセットの値を有効にする。そして第5図gに示す時刻CにてSCK信号を“0”として、テスト結果をマスク側ラッチに入力し、第5図gに示す時刻DにてTE信号を“1”とすることによって非同期回路のクロックを有効にする。こうして、すべてのテスト結果がマスク側ラッチに入力された後、第5図hに示す時刻EにてSCK信号を“1”として、第5図hに示す時刻FにてTE信号を“1”とすることによって、マスク側ラッチは非同期回路におけるクロックを無効

にし、テスト結果をホールドする。そして、第5図hに示す時刻GにてSE信号を“0”としてテスト結果によるセット又はリセットを無効にした後、第5図hに示す時刻HにてTCK信号を“1”としてテスト結果をスレーブ側ラッチに入力し、第5図hに示す時刻IにてTCK信号を“0”としてテスト結果をスレーブ側ラッチにホールドする。このようにして得られたテスト結果を第4図のタイミングでスキアンしながら外部出力端子から読み出していき良否の判定を行う。同時に次のテストデータを入力していく。

このように、スレーブ側ラッチのクロックを転送用クロックのみで作成することによって、スキアン用ラッチセルを形成しているので、ラッチセルに対してもスキアンレジスタと同じタイミングで非同期やセット又はリセット付きのラッチもスキアン方法でテストすることができる。

## 【発明の効果】

以上詳述したように本発明によれば、内部クロック信号のクロックスキューリングを考慮しクロックスキュ

ーの影響のない時刻にスキアンデータをシフトさせるデータ転送用クロック信号をラッチ部に供給するようにしたので、回路構成によりスキアンレジスタの配置がどのようなものになろうともクロックスキューリングによるシフト誤動作が発生することはなくなる。

マスク側ラッチのセット又はリセットは、スキアンタイミングで有効と無効を切り替える、スレーブ側ラッチのセット又はリセットはテストタイミングでTCK信号で有効と無効を切り替える可能とすることで、スキアン時はマスク側とスレーブ側の両方のセット又はリセットを無効にし、テスト時にのみマスク側のセット又はリセットを有効にすることによってセット又はリセット信号もスキアン方法によってテストすることができる。

又、スレーブ側ラッチのクロックを転送用クロックのみで作成することによって、スキアン用ラッチセルを形成しているので、ラッチセルに対してもスキアンレジスタと同じタイミングで非同期やセット又はリセット付きのラッチもスキアン方法

特開平4-72583 (11)

でテストすることができる。

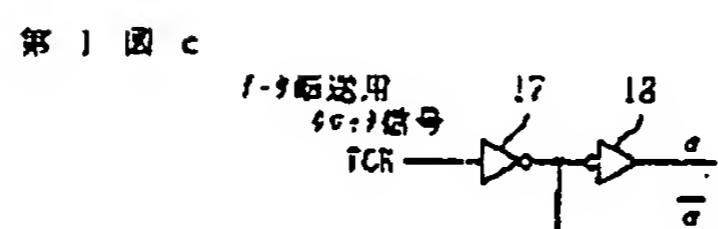
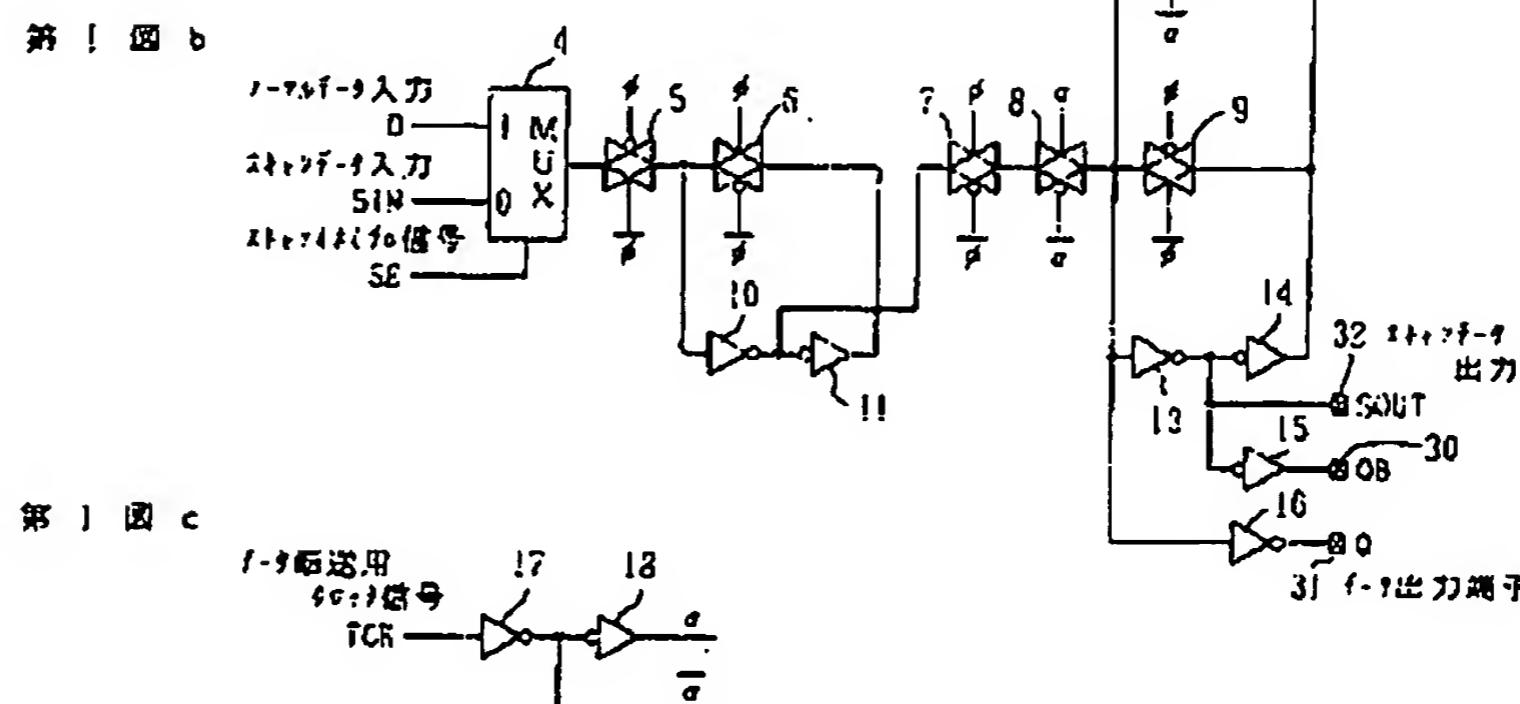
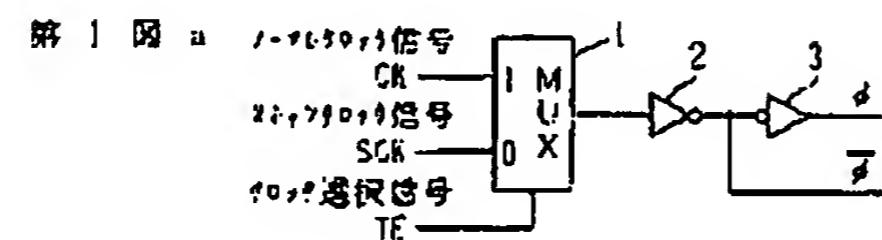
## 4. 図面の簡単な説明

第1図a, b, cは本発明のテスト用スキャン回路装置の一実施例における回路図、第2図a, bは第1図に示す回路の他の実施例を示す回路図、第3図は第1図に示す回路の通常時の動作を示すタイミングチャート、第4図は第1図a, b, cに示すテスト用スキャン回路装置の動作を示すタイミングチャート、第5図は本発明の回路装置において非同期のスキャン回路でテスト結果のクロックが1である場合の動作を示すタイミングチャート、第6図は本発明の回路装置において非同期のスキャン回路でテスト結果のクロックが1である場合の動作を示すタイミングチャート、第7図a, b, cはリセット付スキャンレジスタ回路の一実施例を示す回路図、第8図a, b, cはリセント付スキャンラッチ回路の一実施例を示す回路図、第9図は従来のテスト用スキャン回路装置における回路図、第10図は第9図に示すテスト用スキャン回路装置の動作を示すタイミングチャート、第11図はクロックスキュー

が発生する状態を示す概念図、第12図はクロックスキューを示す図、第13図は従来のスキャン回路を示す図、第14図a, bは従来のスキャン用ラッチ回路を示す図である。

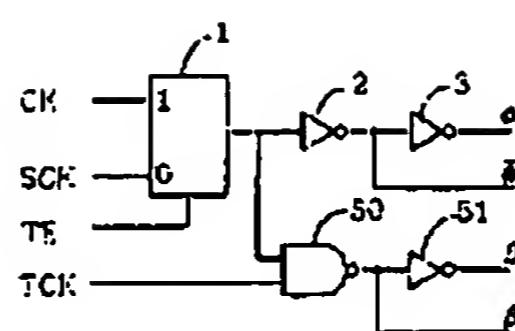
1及び4…マルチプレクサ、  
8及び12…トランスマッショングート。

特許出願人 株式会社 リコー  
代　　理　人　弁理士 青山　義　外1名

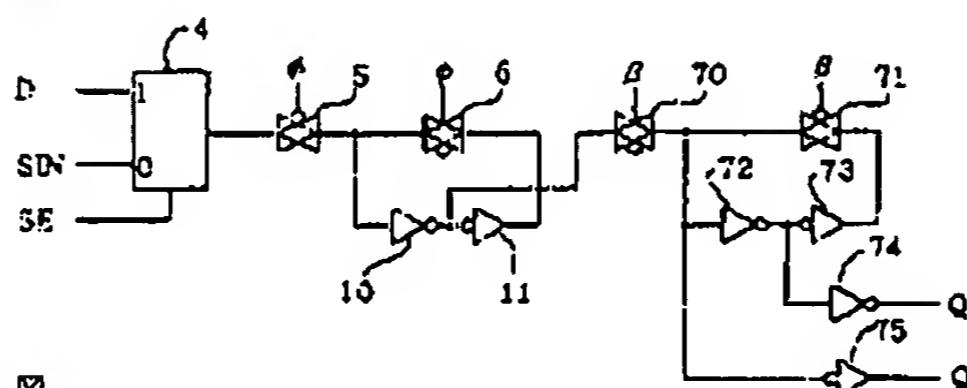


特開平4-72583 (12)

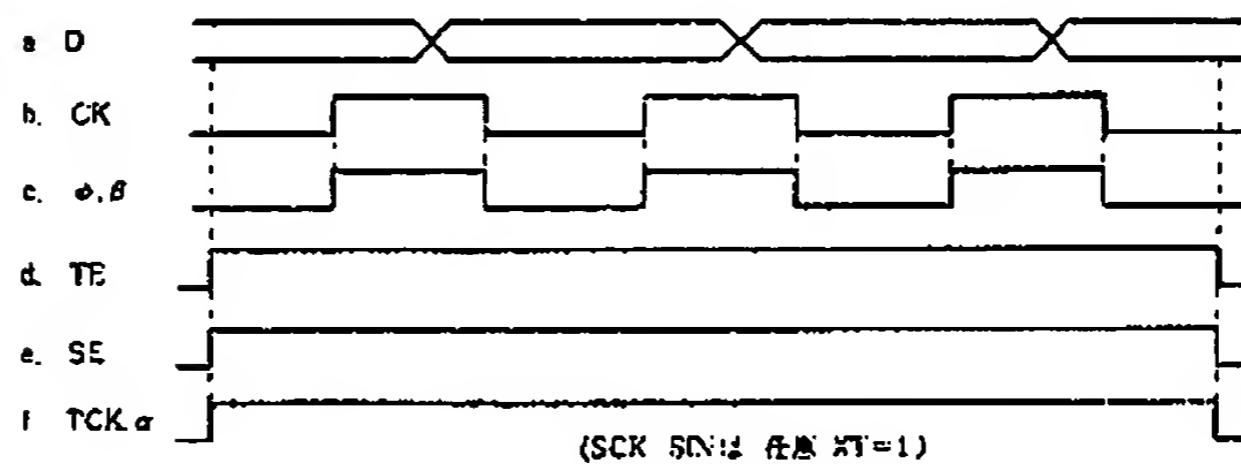
第2 図a



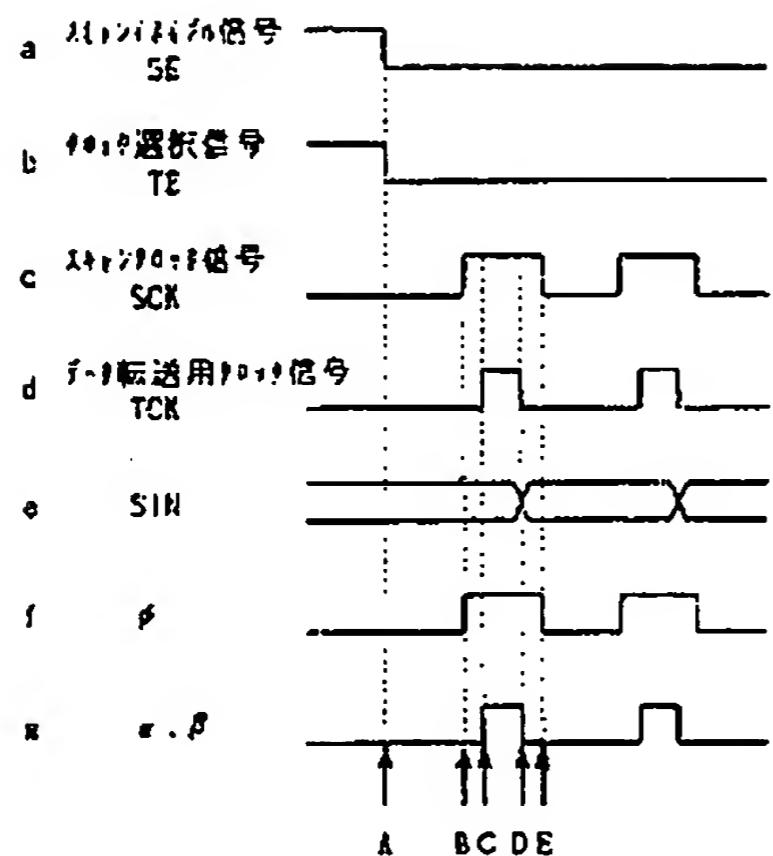
第2 図b



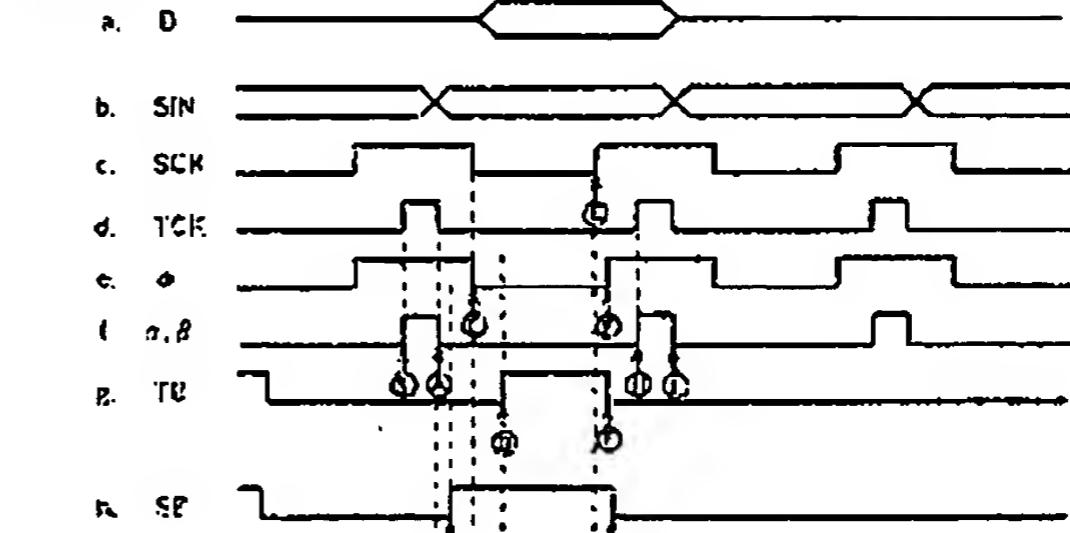
第3 図



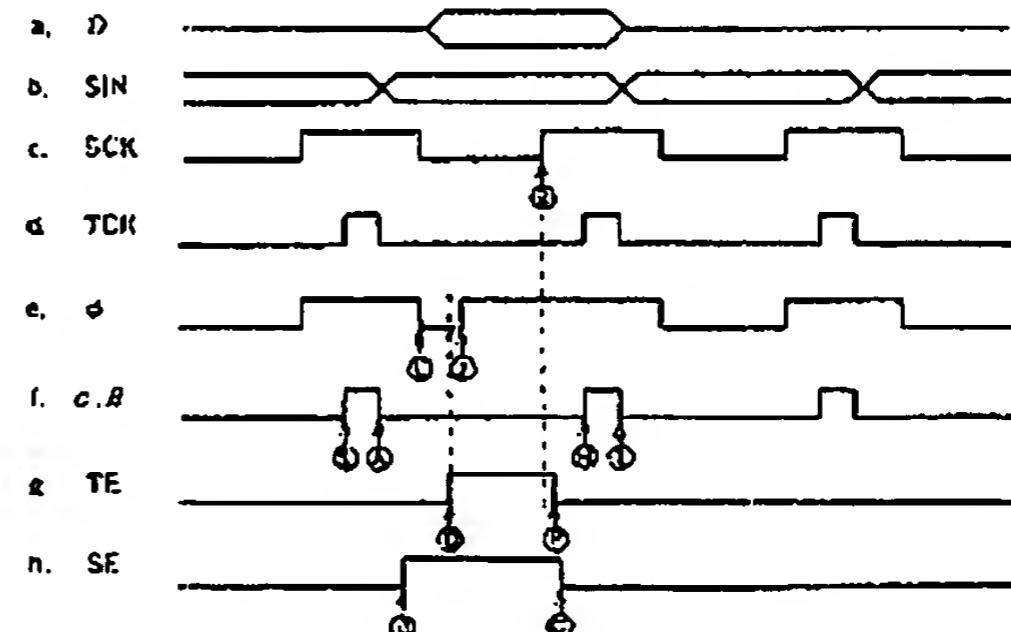
第4 図



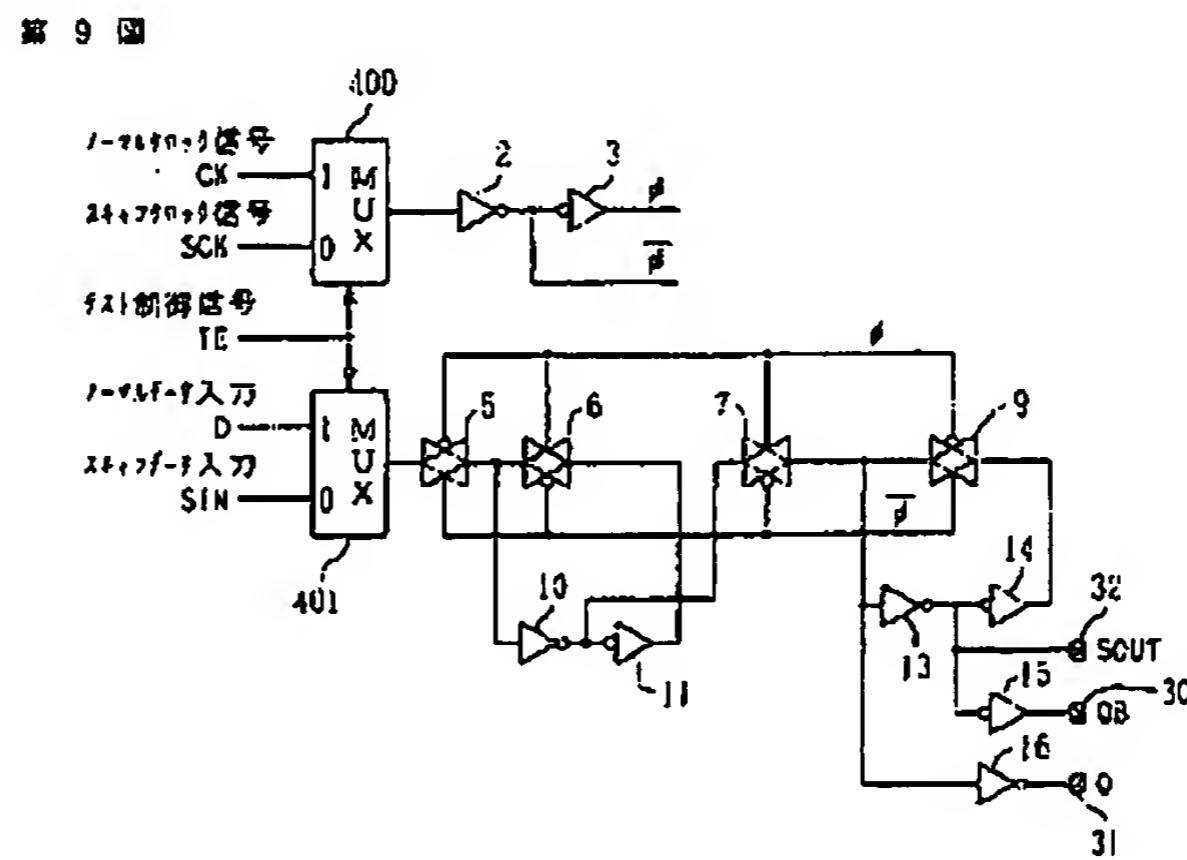
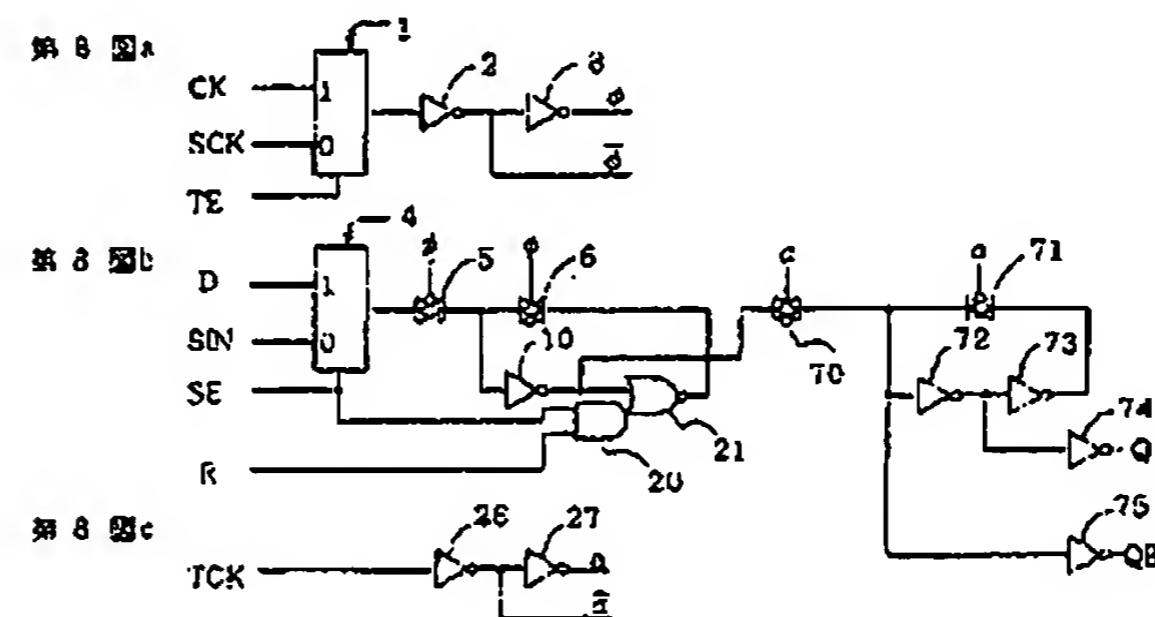
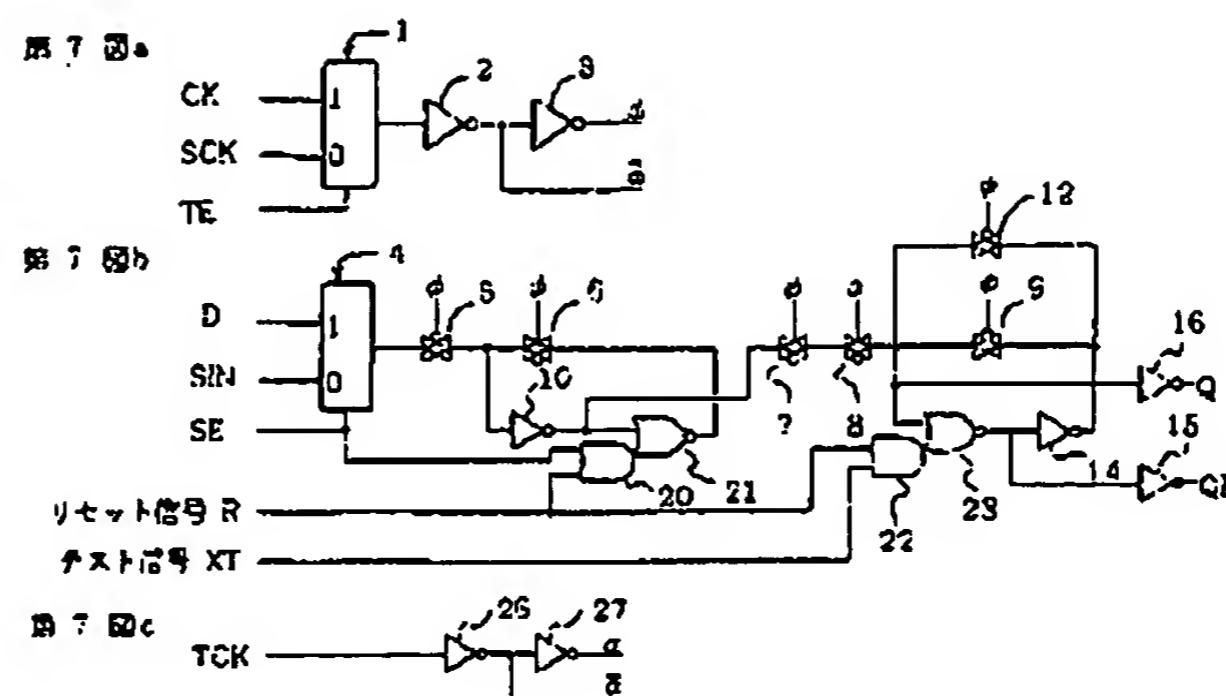
第5 図



第6 図



特開平4-72583 (13)



第10図

